



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 05235007

(43)Date of publication of application: 10.09.1993

(51)Int.Cl.

H01L 21/322

(21)Application number: 03068105

(71)Applicant:

NIPPON SOKEN INC

(22)Date of filing: 07.03.1991

(72)Inventor:

KATAYAMA MASAYUKI

FUJINO SEIJI

TSURUTA KAZUHIRO

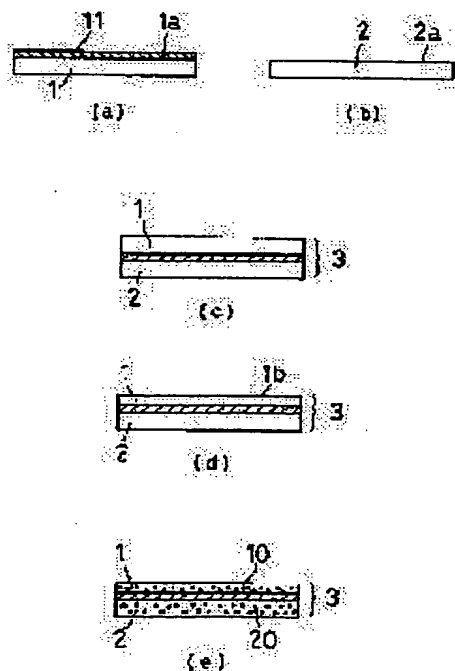
(54) MANUFACTURE OF SEMICONDUCTOR SUBSTRATE

(57)Abstract:

PURPOSE: To provide the method for manufacture of a semiconductor substrate which can be connected uniformly even when its diameter is made larger by a method wherein reliable gettering power against contamination impurities and the like is given to the composite semiconductor substrate on which a plurality of substrates are connected.

CONSTITUTION: The method for manufacture of a semiconductor substrate consists of a process in which a composite semiconductor substrate 3 is formed by connecting the first semiconductor substrate 1 and the second semiconductor substrate 2, having the oxygen concentration higher than that of the first semiconductor substrate 1, directly or through the intermediary of an insulating layer 11, and a process in which the first semiconductor substrate is thinned off by polishing or by etching. Further, a process in which an intrinsic gettering heat treatment is conducted on the

composite semiconductor substrate, a defectless region is formed on the first semiconductor substrate 1 and a high density defect region, which becomes the gettering of contamination impurities, will be formed on the second semiconductor substrate 2, is provided.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-235007

(43) 公開日 平成5年(1993)9月10日

(51) Int.Cl.⁵

H 0 1 L 21/322

識別記号

庁内整理番号

F I

技術表示箇所

Y 8617-4M

審査請求 未請求 請求項の数1(全6頁)

(21) 出願番号 特願平3-68105

(22) 出願日 平成3年(1991)3月7日

(71) 出願人 000004695

株式会社日本自動車部品総合研究所
愛知県西尾市下羽角町岩谷14番地

(72) 発明者 片山 雅之

愛知県西尾市下羽角町岩谷14番地 株式会
社日本自動車部品総合研究所内

(72) 発明者 藤野 誠二

愛知県西尾市下羽角町岩谷14番地 株式会
社日本自動車部品総合研究所内

(72) 発明者 鶴田 和弘

愛知県西尾市下羽角町岩谷14番地 株式会
社日本自動車部品総合研究所内

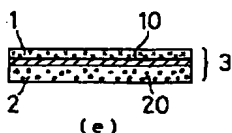
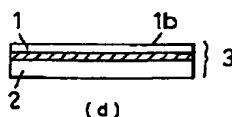
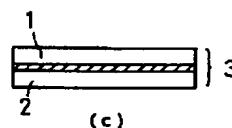
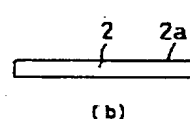
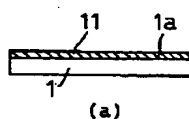
(74) 代理人 弁理士 伊藤 求馬

(54) 【発明の名称】 半導体基板の製造方法

(57) 【要約】

【目的】 本発明は、複数の基板を接合した複合半導体基板に、汚染不純物等に対する確実なゲッタリング能力を付与し、かつ半導体基板の大口径化を図った場合にも、その均一な接合を可能とする半導体基板の製造方法を提供することを目的とする。

【構成】 本発明の半導体基板の製造方法は、第1半導体基板1と、この第1半導体基板1に含有される酸素濃度より高い酸素濃度を有する第2半導体基板2とを用い、これらを直接または絶縁膜層11を介して接合することにより複合半導体基板3を形成する工程と、この複合半導体基板3の、上記第1半導体基板側を研磨またはエッチングによって薄膜化する工程と、上記複合半導体基板に対しイントリンシックゲッタリング熱処理を行ない、上記第1半導体基板1に無欠陥領域を形成するとともに、上記第2半導体基板2に汚染不純物のゲッタシンクとなる高密度欠陥領域を形成する工程とを有する。



【特許請求の範囲】

【請求項1】 第1半導体基板と、この第1半導体基板に含有される酸素濃度より高い酸素濃度を有する第2半導体基板とを用い、これらを直接または絶縁膜層を介して接合することにより複合半導体基板を形成する工程と、

この複合半導体基板の、上記第1半導体基板側を研磨またはエッチングによって薄膜化する工程と、

上記複合半導体基板に対しイントリンシックゲッタリング熱処理を行ない、上記第1半導体基板に無欠陥領域を形成するとともに、上記第2半導体基板に汚染不純物のゲッタシンクとなる高密度欠陥領域を形成する工程とを有することを特徴とする半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体基板の欠陥低減に関するもので、特に、複数の基板を接合した複合半導体基板のゲッタリング処理に関するものである。

【0002】

【従来の技術】 半導体素子の特性を向上させるためには、製造工程において発生する汚染不純物等を素子動作領域外に集め、その悪影響を排除するいわゆるゲッタリングが重要である。

【0003】 従来、半導体基板のゲッタリング方法としては、例えばサンドブラスト処理、高濃度リン拡散、またはポリシリコン堆積によって半導体基板の裏面へ歪層を形成し、ゲッタシンクとするエクストリンシックゲッタリング（EG）法と、シリコン結晶中に含まれる酸素を熱処理によって析出させ、基板内部に高密度欠陥層を形成してゲッタシンクとするイントリンシックゲッタリング（IG）法とがある。このEG法とIG法とを比較した場合、ゲッタリング能力の持続性において、IG法が優れている。

【0004】 一方、基板を複数接合した複合半導体基板にゲッタリング領域を形成する技術としては、例えば特開昭63-29937号公報に示された方法が知られている。この方法は、予め、支持基板となる半導体基板に高密度欠陥領域を形成した後、素子を形成するもう一方の半導体基板と直接接合を行ない、ゲッタリング機能を有する複合半導体とするものである。

【0005】

【発明が解決しようとする課題】 しかしながら、高密度欠陥領域を形成した半導体基板は、格子間酸素濃度が減少するため、半導体基板の機械的強度が低下し、半導体基板が反りやすくなる。このため、上述の特開昭63-29937号公報の方法では、半導体基板の接合の際に基板の反りが原因となって、ボイド等が発生するおそれがある。特に、半導体基板の大口径化を図った場合にその影響が大きくなり、半導体基板の均一な接合が困難になるという問題がある。

【0006】 また、近年、絶縁膜層を介して接合された複合半導体基板、すなわちSOI構造の半導体基板におけるリーク電流の発生等が問題となっており、ゲッタリングによる特性の向上が期待されている。この場合、絶縁膜層を通して基板内部の高密度欠陥領域に汚染不純物をゲッタするためには、高密度欠陥領域により高いゲッタリングの能力が必要であり、これを実現する方法の確立が望まれている。

【0007】 本発明は上述の実情に鑑みてなされたものであり、複数の基板を接合した複合半導体基板に、汚染不純物等に対する確実なゲッタリング能力を付与し、かつ半導体基板の大口径化を図った場合にも、その均一な接合を可能とする半導体基板の製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】 本発明の半導体基板の製造方法は、第1半導体基板と、この第1半導体基板に含有される酸素濃度より高い酸素濃度を有する第2半導体基板とを用い、これらを直接または絶縁膜層を介して接合することにより複合半導体基板を形成する工程と、この複合半導体基板の、上記第1半導体基板側を研磨またはエッチングによって薄膜化する工程と、上記複合半導体基板に対しイントリンシックゲッタリング熱処理を行い、上記第1半導体基板に無欠陥領域を形成するとともに、上記第2半導体基板に汚染不純物のゲッタシンクとなる高密度欠陥領域を形成する工程とを有する。

【0009】

【作用】 本発明方法では、第1半導体基板と第2半導体基板とを接合した後にゲッタリング熱処理を行うので、半導体基板の接合時には、十分な格子間酸素濃度が確保され、ボイド等の発生を防止することができる。従って、半導体基板を大口径とした場合でも均一な接合が可能となる。

【0010】 また、第2半導体基板に含有される酸素濃度を第1半導体基板より高く設定してあるので、接合された複合半導体基板に対し、イントリンシックゲッタリング熱処理を施すことにより、第1半導体基板には無欠陥領域が、第2半導体基板には汚染不純物等をゲッタするための高密度欠陥領域が容易に形成される。このとき第2半導体基板に含有される酸素濃度を、第1半導体基板より十分高く設定すれば、第2半導体基板に形成される高密度欠陥領域のゲッタリング能力が大幅に向上するので、SOI構造の半導体基板に適用して、第1半導体基板に存在する汚染不純物等を絶縁膜層を介してゲッタすることが十分可能である。

【0011】

【第1実施例】 以下、本発明の実施例を図面を参照して説明する。図1は本実施例の半導体基板の製造工程を示す断面図である。

【0012】 まず、図1(a)の如く、少なくとも一方

の面を鏡面研磨した第1半導体基板1の鏡面研磨面1a上に、熱酸化、化学的気相成長法、スパッタ法または蒸着等により酸化膜11を形成する。図1(b)は、これと接合される第2半導体基板2であり、少なくとも一方の面に鏡面研磨面2aを有する。ここで、第1半導体基板1は、含有される格子間酸素濃度が、後述する一連のIG熱処理のうち酸素析出工程の熱処理温度における酸素固溶限界より低くなるようにする。一方、第2半導体基板2としては格子間酸素濃度が上記第1半導体基板1より高いもの、すなわち上記酸素固溶限界より高いものを10用いる。

【0013】次に、上記第1半導体基板1および第2半導体基板2を、例えばトリクレン煮沸、アセトン超音波洗浄、 $\text{NH}_3 : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 4$ の混合液による有機物の除去、 $\text{HCl} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 4$ の混合液による金属汚染の除去、および純粋洗浄を順次施すことにより、充分洗浄する。その後、 $\text{HF} : \text{H}_2\text{O} = 1 : 50$ の混合液により表面の自然酸化膜を除去した後、キャロス等の薬品あるいは熱酸化、また酸素プラズマ照射等によって、基板表面に10~30Å程度の酸化層を形成し、親水性を持たせて、純水にて洗浄する。20

【0014】続いて乾燥窒素等による乾燥を行い、基板表面に吸着する水分量を制御した後、図1(c)の如く、第1半導体基板1上の上記酸化膜11表面11aと、第2半導体基板2の表面2aとを密着させる。これにより2枚の基板1、2は表面に形成されたシラノール基および表面に吸着した水分子の水素結合により接着する。さらに、この接着した基板1、2を10 Torr以下の真空中にて乾燥させる。このとき、基板1、2の反りを補償するため、30g重/cm²以下の荷重を印加してもよい。30

【0015】この後、基板1、2を例えば窒素、アルゴン等の不活性ガス雰囲気中で、900℃以上の温度で1時間以上の熱処理を施すことにより、接着面において脱水縮合反応が起きてシリコン(Si)と酸素(O)の結合(Si-O-Si)ができ、2枚の基板1、2が絶縁酸化膜11を介して強固に接合された複合半導体基板たる接合基板3が形成される。

【0016】この後、図1(d)の工程で、第1半導体基板1を、第2半導体基板2との接合面とは反対の面1b側から機械的研磨またはエッチング等を行なって薄膜化し、所定の厚さとする。さらに接合基板3に前記した洗浄工程を施すことにより、有機物および金属汚染物を除去する。40

【0017】その後、接合基板3に一連のイントリニックゲッタリング熱処理(IG熱処理)を施す。まず、接合基板3を例えば窒素または酸素雰囲気中で、1000℃以上の熱処理を施すことにより、半導体基板中の酸素を外部拡散させ、第1半導体基板1中の格子間酸素濃50

度を後述の酸素析出工程の熱処理温度における酸素固溶限界よりも十分に低下させる。なお、この熱処理工程は、予め、第1半導体基板1として、その初期酸素濃度が前述の酸素固溶限界より十分に低い半導体基板を選んでは省略してもよい。

【0018】次に、接合基板3に例えば窒素または酸素雰囲気中で、450℃および600~850℃程度の二段熱処理、または600~850℃程度の熱処理を施すことにより、半導体基板中に酸素析出核を発生させる。この熱処理工程は、第2半導体基板2に、予め酸素析出核が存在する場合には省略することも可能である。その後、接合基板3に、窒素または酸素雰囲気中で、900℃以上の熱処理を施すことにより、第2半導体基板2中に酸素析出を発生させる。

【0019】これら一連のIG熱処理によって、図1(e)に示すように、接合基板3中、第1半導体基板1には無欠陥領域(D7層)10が、第2半導体基板2にはゲッタシンクとなる高密度欠陥領域20が形成される。この高密度欠陥領域20のゲッタリング能力は、第2半導体基板2の初期酸素濃度および一連のIG熱処理の条件を変えることによって調節することが可能である。好ましくは、第2半導体基板2の初期酸素濃度を、上記第1半導体基板1の初期酸素濃度より少なくとも10倍以上高くすることが望ましく、十分に高いゲッタリング能力を実現することができる。

【0020】このようにして形成した接合基板3を用いて各種半導体装置を構成するには、第1半導体基板1の無欠陥領域10に、所望の半導体素子の動作領域を形成すればよい。このとき、第2半導体基板2の高密度欠陥領域20がゲッタシンクとして作用し、第1半導体基板1の汚染不純物等を酸化膜11を通してゲッタし、素子特性を向上させる。

【0021】

【第2実施例】上記第1実施例では、第1半導体基板1と第2半導体基板2とを酸化膜11を介して接合した構成について説明したが、本発明方法は、図2に示すように、第1半導体基板1表面に酸化膜11を形成せず、第2半導体基板2と直接接合した場合にも適用できる。以下に本発明の第2実施例の製造工程を説明する。

【0022】まず、少なくとも一方の面を鏡面研磨した第1半導体基板1の鏡面研磨面に、第2半導体基板2の鏡面を接合する。このとき、酸化膜11の形成工程を省略した以外は、上記第1実施例と同様の方法を用いる。

【0023】次に、接合し一体となった基板3を、例えば窒素、アルゴン等の不活性ガス雰囲気中で、1100℃以上の温度で1時間以上の熱処理を施すことにより、接合界面のシラノール基の一部である酸素を基板中へ拡散させ、Si-Siの直接接合を形成する。

【0024】その後、上記第1実施例と同様に、第1半導体基板1の薄膜化工程、接合基板3の洗浄工程、およ

び一連のIG熱処理工程に付す。これにより、図2の如く、第1半導体基板に無欠陥領域10を、第2半導体基板2にはゲッタシンクとなる高密度欠陥領域20を形成することができる。

【0025】

【第3実施例】図3には本発明の第3の実施例の製造工程を示す。本実施例は、基板内部に素子分離用の誘電体埋め込み層を形成した半導体基板に本発明方法を適用した例である。ここでも上記各実施例と同様、第1半導体基板としては、含有される酸素濃度が、IG処理の酸素析出工程における酸素固溶限界より低いものを、第2半導体基板2としては、含有される酸素濃度が上記酸素固溶限界より高いものを用いた。

【0026】まず、図3(a)、(a')の如く、少なくとも一方の面を鏡面研磨した第2半導体基板2の鏡面2aの一部を化学的エッチングあるいは反応性イオンエッチング(以下RIEという)等により選択的にエッチングし、深さ0.2~2μmの凹部21を形成する。

【0027】次に図3(b)、(b')に示すように、凹部21の周縁に沿ってあるいは凹部21と交差するように延びる酸素導入溝4を、RIEあるいはプラズマエッチング等により形成する。ここで、酸素導入溝4の形状は、上記凹部21の形状、基板サイズ等を考慮して適宜決められる。また酸素導入溝4の幅、および深さは上記凹部21の深さより大きい値とする。なお、上記凹部21および酸素導入溝4は、前述した装置の制約等から基板端縁に開口するように形成されていなくてもよい。

【0028】次に図3(c)に示すように、少なくとも一方の面を鏡面研磨した第1半導体基板1の鏡面1aにマスキングテープ、レジスト等により選択エッチングのためのマスク12を形成する。このマスク12は図3(c')の如く、基板1の径よりやや小径としてあり、前記した第2半導体基板2の酸素導入溝4が、接合後に外気に開口できるような大きさ、形状であればよい。

【0029】続いて、図4(d)、(d')において、基板1の周縁部を化学的エッチングあるいはRIEにより選択的にエッチングし、周縁部に段差13を形成してテラス構造とする。この段差13は、上記酸素導入溝4の深さに等しいかあるいはそれ以上の深さを有することが望ましい。

【0030】その後、これら基板1、2を、前記第1実施例に示した方法によって、洗浄および接合を行う。次に接合した一体となった基板を、例えば窒素、アルゴン等の不活性ガス雰囲気中で、1100℃以上の温度で、1時間以上の熱処理を施すことにより、接合界面のシラノール基の一部である酸素を基板中に拡散させ、Si-Si直接結合を形成する。このようにして、図4(e)に示すように、2枚の基板1、2が直接接合された接合基板3が形成される。なお、図4(e)はそれぞれ、図4(e')のA-A'断面、B-B'断面である。

【0031】ただし、このとき上記凹部21は接合されておらず、凹部21と第1半導体基板1の鏡面1aとで空洞5が形成される(A-A'断面)。また酸素導入溝4は、基板2の端縁に達していなくても、第1半導体基板1の周縁部に形成された段差13により外気に開口する(B-B'断面)。

【0032】次に図5(f)の如く、この一体化した接合基板3を、例えばドライO₂、ウェットO₂、H₂、O₂混合燃焼気体等の酸化性雰囲気中で、900℃以上1時間以上の熱処理を施す。これにより、外部に開口している酸素導入溝4を介して接合基板内部の空洞5に酸化性ガスが導入され、空洞表面が酸化して熱酸化シリコン6が成長する。ただしこの酸化工程は上記凹部21と第1半導体基板1の表面とで形成される空洞5が、両者表面からの熱酸化シリコン6の成長によって完全に埋設、充填されるまで最低時間行う必要がある。以上の工程により、接合基板3内に誘電体埋め込み層として熱酸化シリコン6を完全に埋設、充填することができる。

【0033】次に図5(g)の工程において、第1半導体基板1の接合していない面から、所望の絶縁分離層の厚みが得られるまでラッピングおよびポリッシングを行い、さらにその研磨面1b上に、第1半導体基板1の周縁部を選択的にエッチングするためのマスク14を、マスキングテープ、レジスト等により形成する(図5(h))。このマスク14は、図5(h')に示すように、第1半導体基板1の鏡面1aに段差22を形成するために用いたマスク12(第3図(c)参照)と等しいかあるいはそれ以下の大きさにする。その後、図5(i)、(i')の工程で、第1半導体基板1の周縁部15を化学的エッチングあるいはRIEによって選択的にエッチングして除去する。これにより基板1周縁部15の欠け、剥がれを防止できる。

【0034】なお、この選択エッチング工程は、(g)のラッピング工程後の第1半導体基板1の厚みが、前記図4(d)のテラス構造形成工程における周縁部選択エッチングのエッチング深さよりも小さい値であれば、すなわちラッピングにより基板1の上記周縁部15が除去されている場合には行なわなくてもよい。

【0035】次に図5(j)において、素子分離領域を形成するため、第1半導体基板1に、0.3μm以上の幅で熱酸化シリコン6に達する深さの素子分離用の溝16を化学的エッチング、RIEあるいはダイシングによって形成する。ここで、上記溝16を形成する際の位置合わせは、第2半導体基板2に形成した酸素導入溝4の端部が、外気に開口しているため(図5(i'))、これを基準にして精度よく行うことができる。

【0036】しかる後、溝16の側面に絶縁層を形成するため、例えばドライO₂、ウェットO₂、H₂、O₂混合燃焼気体等の酸化性雰囲気中で、900℃以上、1時間以上の熱処理を施し、厚さ0.3μm以上の熱酸化

シリコン層17を形成する。さらに、図6(k)に示すように、例えばCVD法により多結晶シリコン18を堆積させ、溝16を埋める。ただしこの際の充填物質は、多結晶シリコンの代わりに酸化物や窒化ケイ素等の絶縁物でもよく、充填方法もスパッタ、蒸着、SOG等でもよい。また溝16は、表面の開口部が閉じられれば必ずしも完全に多結晶シリコン18で埋められていなくてもよく、空洞部が残っていてもよい。その後、例えばラップポリッシュあるいはエッチングバック等により、表面の多結晶シリコン18および熱酸化シリコン層17の表面層17aを除去し、平坦化する(図6(l)(1'))。

【0037】次に、上記接合基板3に対し、前述の第1実施例と同様にして、洗浄および一連のIG熱処理を行う。これにより、図6(m)に示す如く、第1半導体基板1に無欠陥領域10、第2半導体基板2にゲッタシクとなる高密度欠陥領域20を形成することができる。

【0038】また、本実施例によれば、酸素導入溝4を設けたことにより外気との連通を確保でき、前記図6(1)の如く、基板内に埋め込まれた熱酸化シリコン6と、側面の熱酸化シリコン層17および多結晶シリコン18とで、他の領域と完全に絶縁分離された領域7を有する半導体基板を得ることができる。

【0039】

【発明の効果】本発明方法によれば、第2半導体基板の酸素濃度を第1半導体基板より十分高く設定することにより、第2半導体基板に高いゲッタリング能力を有する

高密度欠陥領域を形成することができる。従ってSOI構造の複合半導体基板にも十分適用可能で、素子特性を大きく向上させることができる。また、半導体基板の接合後に高密度欠陥領域を形成するので、基板の接合工程においてボイド等が発生することがなく、均一な接合が可能で、半導体基板の大口径化が可能である。

【図面の簡単な説明】

【図1】本発明の第1実施例の製造工程を示す断面図である。

【図2】本発明の第2実施例を示す半導体基板の断面図である。

【図3】本発明の第3実施例の製造工程を示す断面図および平面図である。

【図4】本発明の第3実施例の製造工程を示す断面図および平面図である。

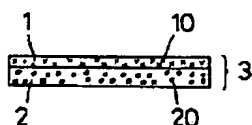
【図5】本発明の第3実施例の製造工程を示す断面図および平面図である。

【図6】本発明の第3実施例の製造工程を示す断面図および平面図である。

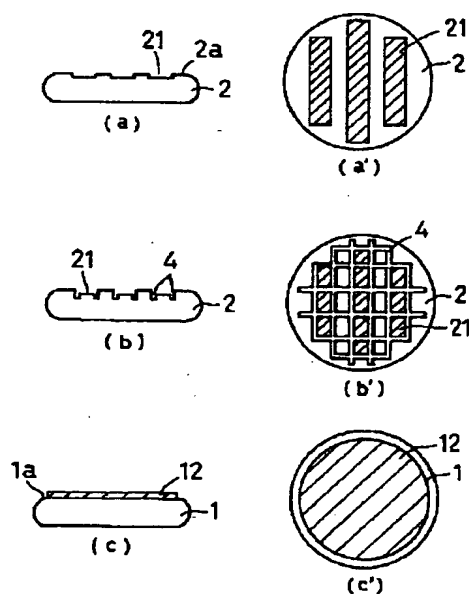
【符号の説明】

- 1 第1半導体基板
- 10 無欠陥領域
- 11 酸化膜(絶縁膜層)
- 2 第2半導体基板
- 20 高密度欠陥領域
- 3 接合基板(複合半導体基板)

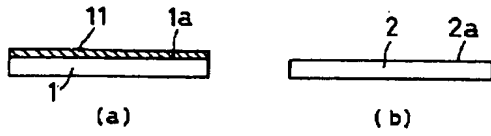
【図2】



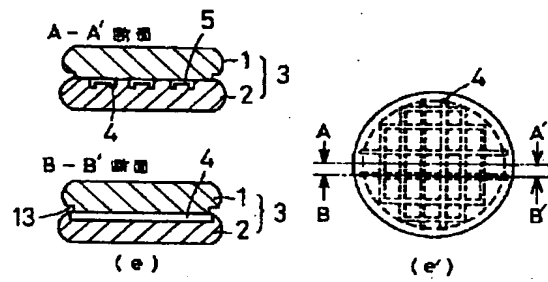
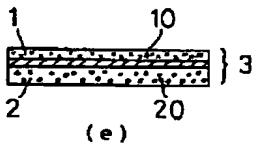
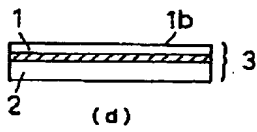
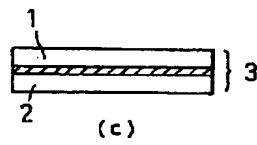
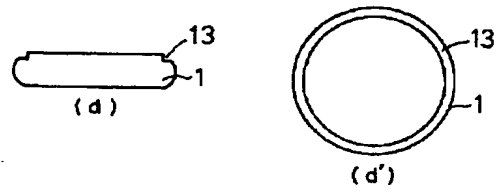
【図3】



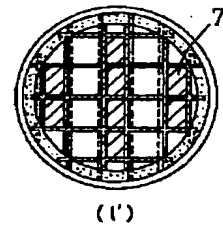
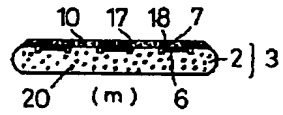
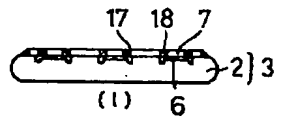
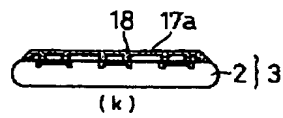
【図1】



【図4】



【図6】



【図5】

